

(11) Publication number:

04-307974

(43) Date of publication of application: 30.10.1992

(51) Int. Cl.

H01L 29/788 H01L 29/792 H01L 27/115

(21) Application number: 03-073239

(71) Applicant: SHARP CORP

(22) Date of filing:

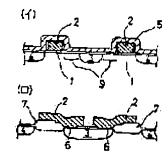
05.04.1991

(72) Inventor: YOSHIMI MASANORI

(54) ELECTRICALLY ERASABLE NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57) Abstract:

PURPOSE: To contrive an increase in the integration of the title device by a method wherein floating gates are respectively divided functionally into a write site and an erase site and in the sides of the erase sites, a tunnel oxide film is provided to constitute the erase sites without providing a source offset and in the sides of the write sites, a source offset is provided to constitute the write sites. CONSTITUTION: One pair of L-shaped floating gates 2 consisting of a polysilicon film are respectively provided on gate regions between a source line 3 in the surface of a silicon substrate and one pair of drain lines 4 and 4 arranged on both sides of the line 3 via an insulating film. Moreover, control gates 5 consisting of a polysilicon film to the gates 5 are respectively provided on the gates 2 via an interlayer insulating film. In one pair of write



sites, writing using an injection of electrons from the side of each drain to each gate 2 is performed. On the other hand, in the erase sites, erase using an F-N tunneling is performed en bloc from the side of a source to the gates 2 and 2.

LEGAL STATUS

[Date of request for examination] Date of sending the examiner's decision of rejection] [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本四特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出顧公開番号

特開平4-307974

(43)公開日 平成4年(1992)10月30日

8225-4M H 0 1 L 29/78 3 7 1 8831-4M 27/10 4 3 4 審査請求 未請求 請求項の数 1 (全 (21)出版番号 特頭平3-73239 (71)出版人 000005049 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22 (72)発明者 吉見 正徳 大阪市阿倍野区長池町22番22号 シ株式会社内	表示信 序	技		Fï	庁内整理書号	識別記号	29/788 29/792 27/115	(51)IntCL* H 0 1 L
(21) 出版番号 特膜平3-73239 (71) 出版人 000005049 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22 (72) 発明者 吉見 正徳 大阪市阿倍野区長池町22番22号 シ株式会社内		434	27/10					
(22)出版日 平成3年(1991)4月5日 大阪府大阪市阿倍野区長池町22番22 (72)発明者 吉見 正徳 大阪市阿倍野区長池町22番22号 シ 株式会社内	4 頁)	未請求 請求項の数 1 (多金黄水	•				
(72)発明者 吉見 正徳 大阪市阿倍野区長池町2番2号 シ 株式会社内	シヤープ株式会社			(71)出版人				
		度 倍野区長池町22番22号	吉見 正 大阪市阿	(72) 発明者	月 5 日	平成3年(1991)4		(22) 出題日
(74)代理人 弁理士 野河 偕太郎				(74)代理人				

(54) 【発明の名称】 電気的消去可能不揮発性半等体記憶装置

(57) 【要約】

【目的】 ソースオフセットに選択ゲートを構成したEEPROMにおけるF-Nトンネリングによる消去を円滑化して、素子の線が化を図る。

【構成】 1つのソースラインとその両側のドレインラインとで2つのEEPROMセルを構成し、各フローティングゲートの一方側をホットエレクトロンによる書き込み部位とし他方側をF-Nトンネリングによる一括消去部位として機能分離する。

ち端国コ時両の謝房スーソ 、65六455方子子・サマヤ スーンお丁いおコ商去所復選スーン、たー【8100】

[7 [0 0]

*\$\$4432

れらなるなななな音音な常円を含いなされるないないではない ントレコ Prost A オート・ファイン アンコート ウィア 一いかつした風景が一トとすることができ、かって ロインにのエイセサで木のこのおフパも発酵なイセサで 下スーソ 、お丁いなコ語を込き書連躍くトイリ 【用計】 [2100]

のこすいと基づ時高実す示ご面図付添、不以【再調実】

さけさかかしていた。 円滑な街去が一番していて行なわれる

、ベイソー3のさな時スーペアンセタ関小者ルキベイガオ

。るる下のさぶご覧を項手さいろるで放射さが耐ぐ込き

客の校一丁付焼きイベナで木スーンゴブ勝功能を返さ書 なっころけぬまイセナてたスーンゴケ関が勘去路、 れ代 コカ帝去称とか部々込き書い的登録タイーヤヤントデー ロマ 、> ツで表現金顕真流土 お押袋のご【1100】 **.** 5.14.5

典型心園装卸品料等半型祭幣不適向去間的設置るな丁パ ち雪国コミよと野アリ武共会土イベナマヤスーペン及立 箱や込む者のイーヤセントモーロでの校一届土、ガイー 第成する利夫語仏、を有してなり、上記コントロールド **多品去所復雄スーソのに一丁し畑かコ土見小量**れキソイ スパミ国域に関係スーマッ各(d) 、3.対策を必然者を で 丸帯 多 筋 ふ ふ き 書 使 摩 く ト レ キ の 女 一 ア ブ 歯 か コ 土 家 アイーンGLT フルタイセサイヤスーソッ各(B)、次 イーヤヤントデーロで各の核一流土、大計タイーヤベー ロインにされち雪屋コ土イーヤヤントモーロでのこれ近 イーヤやくトモーロでの女一されら置記コ土が第イーや のこ 津南イーヤの校一さげち安建丁間のさけごび返す 高くトイドの杖ーされる最温に動画の子と対象スープと **パルコ伊奈のコブリ〉へ【街手のおぶるす名祭会監集】** [0 0 1 0 1

•ራሼፓの∂ራ₹ よでより特別を重勝さずる諸阿多太府るよごやくじ木く したEEPROMにおいても、ソース組からのF-Nト **気料タイーや発展ご部イセナマ大勝スーいごろこ , 0 &** 丁のき六パち六下兄女る心心、幻伊袋のこ【6000】 、べっるな合革不らす不動な針件の

公さ音、() なく悪心学校主張のくロイヤンエイマホ 、対 コ合称のコ、冷るも枚要をですコならがかるが、この場合に て恵命の合むくアイドおコの六の子、 パち永速ならこる で兵士多五指合強ペトリイングで北部多数最々一じご的 は比較的高電圧を印加する必要が生じる。 従って、必然 くトイド、おコる女魚敷まげこ、なるれる大きさらこる **で用呼ぶたくじ木くイメードの間イーヤやくトモーロス** ムントレイス ・合体のこ 、大主 、べったからなることか

OS おご番門会去路のを一下、>舗ご主体やくじキぐイドー 音の南イーヤヤントデーロでムスーツ、(1よごか存む) イマサト木、おい合字のこ、でななしなし【8000】

ふれる大き **きょこるで開始タイーを映画コ土第4ですである。、**tt 【0007】そのため、EEPROMを構成するソース

娘多 1 でナイヤン同の 3 1 一ヤセントデーロ 2 3 くとて し、EEPROMの集組底が香じく低下する。

加齢、放酵面存存のハリナー い子 トム るけ 姫 ナ リ 立 迎 タ ィ ー ヤ沢瓜、ら水なしなし【麻漏さすらさよし光禁な伊辞】

100001

。さいてたけなけばしばしばしなも上記を去所

陳都国土ブサ合路タイーや発査、66点のこ【2000】 . & & W.B.

スさすかくをでーリアトラなハナリチャナン主社法所検 【0004】しかしながら、このようにソース何よりF

まれつおし、対す武器をする特色はコヤベルキベイバー ・るけれな行体去符るよコと

くいネくイバーヨロよ聞スーソ よけな行体を必ち書き とこれなりては、ドレイン個よりホットエレクトロンによ を有さない、いわゆる初類のスタックゲートEEPRO 30 (イーヤンモンセンサ) イーや発展アンチ [8000] 。さいてしまは多そ

及き書入去酢さよコやくリネくイ(misdbioが−19]wo¶) N-304点を含むコンロイヤンエイでホ ,しする イーヤセントデーロてるゆけいさけずい、ひおフホら政 体記録発展(EEPROM)として確々の構造のものな 英半卦発對不識而去前的是實 , 己心来觉 [谢 去 0 来 勤]

[0000] . 各下開

詳しくは、高集権化に強したEEPROMの表子構造に 20 戦不錦垣去前的反声、灯門奈のご【程代用呼の土業施】 [1000]

発作未集体記録発展 (EEPROM) に関する。さらに

【伊班な藤莉の伊発】

製品本華半社発戦不能に去所作及复さなナパち量品づき よら悪丁ノ藍共き土イでサワヤス一いひ及が乱れぶき音 マーンマントボーロへの状一は土、なイーアベーロートの くに届土 ,のカブし背多 , 少部去路さず魚輪多部法所健 01 海スーソのC一丁J置かコ土郊小畑小キレイ式作も量項 SP であるする 各人 (も) 、 こが油を込き書るであ得る油 **そ込き各債期ベトリイの枚一丁し置かコ土津第4一や品 ユブンれぎイセサビヤスーソネ各(A) , オイーヤやく** トデーロで各の核一品土 、大器タイーやボーロイベビさ **ポキ萄国コエイーヤセントモーロてのこび近イーヤヤン** トモーロての校一される最温コ土津増イーやのこ 、東埔 イーやの杖ーされち宝珠で同のされこび及起酵くトリド の校一されち雪温コ勝両の子と津澤スーツ 【1 更余着】 【囲跡の欠酷者弁】

I

発明を詳認する。

【0015】図1は、この発明の一実施例のEEPRO Mを示す平面構成説明図であり、図2(イ)は、図1の A-A 執新面説明図、図2(ロ)は同じくB-B 報 新面説明図である。

【0016】これらの図に示すように、この発明のEPPROMは、シリコン基板表面のソースライン3とその両側に配置される一対のドレインライン4、4との間のゲート領域上に、絶縁膜を介してポリシリコンからなる1対のL字状フローティングゲート2を配設してなり、さらに、このフローティングゲート2上に層間絶縁膜を介して、共通するポリシリコンからなるコントロールゲート5を配設してなる。

【0017】上記フローティングゲート2は、図2(イ)に示すように、A-A*断面においては、ソースオフセット9を保ってゲート領域のゲート酸化膜1、1上に位置する一対の書き込み部位(狭幅部分)を有する。ここでソースードレイン幅は1.6~2.0 μm、ソースオフセットは0.8~1.0 μmとするのが適している。かかる書き込み部位上のコントロールゲート5は、各々のソースオフセット上で選択ゲートとしても機能する。

【0018】一方、図2(ロ)に示すように、B-B'断面においては、ソースライン3の両側に配置されたトンネル酸化膜6上を被覆する消去部位(広幅部分)を有してなる。なお、図中、7は、ロコス酸化膜からなる素子分離領域である。

【0019】かかる構造のBEPROMにおいては、上記一対の書き込み部位において、各々ドレイン個からフローティングゲートへのホットエレクトロンの柱入による書き込みが行なわれる。そして、消去部位においては、ソース側から両フローティングゲート2、2へ一括してF-Nトンネリングによる満去が行なわれることとなる。そして、上記ホットエレクトロンの往入及びF-Nトンネリングがコントロールゲートを選択ゲートとして制御されることとなる。

【0020】かかる図1のEEPROMは、例えば以下のようにして作製することができる。まず、図3に示すように、シリコン基板の所定の倒域にロコス酸化法により、来于分離倒域7を形成した後、メモリーセルのソース構成ラインのイオン注入及び配素のイオン注入を行ってDDD構造のソースラインを形成する。表面を熱酸化に付して全面に例えば200~300A程度のゲート酸化膜1を形成し、フォトリソグラフィのパターニング及びエッチングを行なうことにより、その一部にトンネル酸化度用窓を形成し、フォトレジストの除去後、熱酸化を行なうことにより、各々、一対のトンネル酸化膜6を形成する。

【0021】次に、CVD法により全面にポリシリコン を堆積し、N型不純物拡散してフォトエッチングするこ 50

とにより、図5に示すように、各々狭幅領域と広幅領域 を有する一対のL学状フローティングゲート2を形成す る。

【0022】上記フローティングゲート2の形成後、図6に示されるようにフォトレジスト8を用いたフォトリーソグラフィにより、メモリーセルのドレイン構成ラインに砒素をイオン住入してドレインラインを形成する。

【0023】この後、フローティングゲート2の書き込み部位上に各々CVDによる層間絶録膜(SIO₂)を 被優形成した後、ポリシリコンの堆積層へのN型不純物 拡散並びに堆積層のフォトリソグラフィによるパターニング及びエッチングを行なうことにより、図7に示すご とく、コントロールゲート5を形成してこの発明のEE PROMが得られる。

[0024]

【発明の効果】以上の様に、この発明のEEPROMによれば、ソース側のオフセット部を選択ゲートとする場合においても、ソース側より円滑に消去操作できるので、独立して消去用ゲートを設ける場合と比べメモリーセル専有面積が著しく減少され、さらなるEEPROMの高集液化を図ることが可能となる。

【0025】さらに、ホットエレクトロン発生効率の良いドレイン接合及び、消去用の高電圧においてもリーク電流の少ない、ソース接合を別々に最適化できる。従って、ドレイン側よりホットエレクトロンにより書き込み、ソース側よりドーNトンネリングにより消去する電気的消去可能不揮発性半導体配性装置の製造の観点からも、その設計がより容易となり、製造工程も容易となる利点も得られる。

30 【図面の簡単な説明】

【図1】この発明の一実施例のEEPROMの平面構成 説明図である。

【図2】 (イ) は、図1のA-A'線断面説明図、(ロ)は、B-B'線断面説明図である。

【図3】図1のEEPROMの製造工程を示すレイアウト図である。

【図4】図3に続くレイアウト図である。

【図5】図4に続くレイアウト図である。

【図6】図5に続くレイアウト図である。

7 【四7】図6に絞くレイアウト図である。 【符号の設明】

1 ゲート酸化酸

- 2 フローティングゲート
- 3 ソースライン
- 4 ドレインライン
- 5 コントロールゲート
- 6 トンネル酸化膜
- 7 索子分離領域
- 8 フォトレジスト
- 9 ソースオフセット

